

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220261

(43)Date of publication of application : 10.08.1999

---

(51)Int.Cl. H05K 3/46

C04B 41/88

H05K 1/03

H05K 1/16

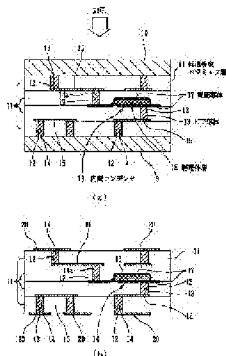
---

(21)Application number : 10-020838 (71)Applicant : SUMITOMO METAL  
ELECTRONICS DEVICES  
INC

(22)Date of filing : 02.02.1998 (72)Inventor : FUKUDA JUNZO  
SHIBATA KOJI

---

(54) CERAMIC MULTILAYERED BOARD WITH BUILT-IN CAPACITOR



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a ceramic multilayered board provided with a built-in capacitor, wherein the built-in capacitor hardly deteriorates in insulating and a dielectric layer can be protected against cracking at backing.

SOLUTION: A via conductor 13 from among via conductors 13, 14, and 14a provided to low-temperature baked ceramic layers 11 is brought into direct contact with an electrode conductor 17 of a built-in capacitor 16 and formed of Ag/Pd alloy whose Pd content is above 5% or higher, and the electrode conductor 17 is formed of Au or Ag/Pd alloy. A dielectric layer 18 is formed of a Pb pervoskite compound. In this case, the via conductor 13 is formed of an Ag/Pd alloy, whereby an Ag component contained in the via conductor 13 is restrained from diffusing into the dielectric layer 18 through the electrode conductor 17, so that the dielectric layer 18 is prevented from deteriorating in insulating properties, Pd is less expanded by oxidation, and the dielectric layer 18 is protected against cracking.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against

examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The built-in capacitor in which the conductor was formed is put. the beer of Ag system -- between the two or more layers low-temperature baking ceramic layers in which the conductor was formed -- both sides of a dielectric layer -- an electrode -- In the ceramic [ with a built-in capacitor ] multilayer substrate which comes to carry out coincidence baking of the conductor these beer -- a conductor, a low-temperature baking ceramic layer, a dielectric layer, and an electrode -- at least -- the electrode of said built-in capacitor -- the beer with which a part also touches directly the part which touches said dielectric layer of the conductors directly -- the ceramic [ with a built-in capacitor ] multilayer substrate with which, as for a conductor, Pd content is characterized by being formed with 5% or more of Ag/Pd alloy.

[Claim 2] said electrode -- the ceramic [ with a built-in capacitor ] multilayer substrate according to claim 1 characterized by forming the conductor with Au or an Ag/Pd alloy.

[Claim 3] Said dielectric layer is a ceramic [ with a built-in capacitor ] multilayer substrate according to claim 1 or 2 characterized by being formed with Pb perovskite compound.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the ceramic [ with a built-in capacitor ] multilayer substrate which carried out coincidence baking and formed the low-temperature baking ceramic layer by which the laminating was carried out, and the built-in capacitor put between the layer.

[0002]

[Description of the Prior Art] this kind of ceramic [ with a built-in capacitor ] multilayer substrate is shown, for example in JP,9-92983,A -- as -- the electrode of a built-in capacitor -- a conductor -- Au system -- a conductor or Ag/Pd -- forming -- inner layer wiring -- a conductor and beer -- a conductor -- Ag system - - there are some which were formed with the conductor. Although Ag has the features of high conductivity (low resistance value) here, there is a fault of being easy to generate migration and baking curvature. then, inner layer wiring -- a conductor and beer -- conductive paste is carried out, and in order [ for which a conductor is formed ] to control migration and baking curvature, the Ag/Pd paste which added Pd powder is used in many cases.

[0003]

[Problem(s) to be Solved by the Invention] By the way, when coincidence baking of the ceramic multilayer substrate of the above-mentioned configuration was carried out with the built-in capacitor, the insulating property of a built-in capacitor deteriorated, and a crack may occur in a dielectric layer and the problem of debasement or a yield fall arose. this cause -- the electrode of a built-in capacitor -- the beer joined to a conductor -- a conductor -- Ag system -- the process which carries out coincidence baking when it is a conductor -- it is -- beer -- a conductor -- inner Ag component -- the electrode of a built-in capacitor -- it is spread in a dielectric layer through a conductor, and thinks for degrading the insulating property of a dielectric layer. Moreover, when the Ag/Pd paste which mixed Ag powder and Pd powder is used, in order that Pd component may oxidize and carry out cubical expansion in the process which carries out coincidence baking, a crack occurs in a dielectric layer in the expansion force.

[0004] This invention is made in consideration of such a situation, therefore the purpose can prevent degradation of the insulating property of the built-in capacitor at the time of baking, and generating of the crack of a dielectric layer, and is to offer the ceramic [ with a built-in capacitor ] multilayer substrate which can realize upgrading and improvement in the yield.

[0005]

[Means for Solving the Problem] In the ceramic [ with a built-in capacitor ] multilayer substrate which this invention carried out coincidence baking of the low-temperature baking ceramic layer by which the laminating was carried out, and the built-in capacitor put between the layer, and was formed in order to attain the above-mentioned purpose at least -- the electrode of a built-in capacitor -- the beer with which a part also touches directly the part which touches said dielectric layer of the conductors directly -- it is made for Pd content to form with 5% or more of Ag/Pd alloy about a conductor (claim 1) thus, a dielectric layer and an electrode -- the beer which touches directly through a conductor -- the case where the mixture of Ag powder like before and Pd powder is used by alloying

with Pd Ag used for a conductor -- differing -- the time of baking -- beer -- a conductor -- inner Ag component -- the electrode of a built-in capacitor -- the phenomenon diffused in a dielectric layer through a conductor is controlled, and degradation of the insulating property of a dielectric layer is prevented.

Furthermore, by alloying Pd with Ag, oxidation and expansion of Pd at the time of baking decrease, and generating of the crack of a dielectric layer is prevented.

[0006] furthermore, claim 2 -- like -- the electrode of a built-in capacitor -- it is desirable to form a conductor with Au or an Ag/Pd alloy. thus -- if it carries out -- an electrode -- a conductor -- beer -- diffusion of Ag component to a dielectric layer, and oxidation and expansion of Pd are prevented as well as a conductor.

[0007] Moreover, the dielectric layer of a built-in capacitor may be formed with Pb perovskite compound like claim 3. Its dielectric constant is high and it is suitable for making a built-in capacitor while a low-temperature baking ceramic layer and coincidence baking at 1000 degrees C or less are possible for this Pb perovskite compound.

[0008]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of this invention is explained based on drawing 1 (a) and (b). First, the structure of the ceramic multilayer substrate in this operation gestalt is explained. The two or more layers low-temperature baking ceramic layer 11 by which the laminating was carried out carries out the laminating of the low-temperature baking ceramic green sheet of two or more sheets, and calcinates it at 800-1000 degrees C. As a low-temperature baking ceramic, it is  $\text{CaO-SiO}_2\text{-aluminum}_2\text{O}_3\text{-B}_2\text{O}_3$ . 50 - 65 % of the weight (preferably 60 % of the weight) of system glass and 50 - 35 % of the weight [ of aluminas ] (preferably 40 % of the weight) mixture are used. In addition,  $\text{MgO-SiO}_2\text{-aluminum}_2\text{O}_3\text{-B}_2\text{O}_3$  The mixture of system glass and an alumina, and  $\text{SiO}_2\text{-B}_2\text{O}_3$  The mixture of system glass and an alumina, and  $\text{PbO-SiO}_2\text{-B}_2\text{O}_3$  The low-temperature baking ceramic ingredient which can be calcinated at 800-1000 degrees C, such as mixture of system glass and an alumina and cordierite system glass ceramics, may be used.

[0009] the beer hall 12 for interlayer connections forms in the low-temperature baking ceramic layer 11 of each class -- having -- each beer hall 12 -- beer -- it fills up with Conductors 13, 14, and 14a. each beer -- Pd content prints the paste of 5% or more of Ag/Pd alloy in a beer hall 12, and calcinates Conductors 13, 14, and 14a.

[0010] in addition, the electrode of the built-in capacitor 16 mentioned later -- the beer which is separated from a conductor 17 -- a conductor 14 and an electrode - - the beer which touches directly the part which does not touch the dielectric layer 18 of the conductors 17 -- about conductor 14a Not necessarily Pd content does not need to use the paste of 5% or more of Ag/Pd alloy, and the paste which mixed Ag powder and Pd powder may be used, or either may be chosen from the various conductive paste for low-temperature baking of Au, Ag, Ag/Pt, Cu, etc. in short -- at least -- an electrode -- the beer which touches directly the part which touches the dielectric layer 18 of the conductors 17 directly -- Pd content should just use the paste of 5% or more of Ag/Pd alloy about a conductor 13 (that with which the part is in contact is also included).

[0011] Moreover, the inner layer conductor pattern 15 is printed and calcinated by the low-temperature baking ceramic layer 11 of each class except the maximum upper layer. Although the paste of an Ag/Pd alloy may be used also about the inner layer conductor pattern 15, the paste which mixed Ag powder and Pd powder may be used, or either may be chosen from the various conductive paste for low-temperature baking of Au, Ag, Ag/Pt, Cu, etc.

[0012] Furthermore, between the layers of the predetermined low-temperature baking ceramic layer 11, the built-in capacitor 16 is formed as follows. the top face of the low-temperature baking ceramic layer [ directly under ] 11 (green sheet) of the built-in capacitor 16 -- the conductive paste for electrodes -- using -- the electrode of built-in capacitor 16 inferior surface of tongue -- a conductor 17 -- screen-stenciling -- the top face -- a dielectric paste -- using -- a dielectric layer 18 -- screen-stenciling -- further -- the top face -- the conductive paste for electrodes -- using -- the electrode of built-in capacitor 16 top face -- a conductor

17 is screen-stenciled. here -- an electrode -- the paste of Au or an Ag/Pd alloy is used as conductive paste for electrodes which forms a conductor 17. Moreover, as a dielectric paste which forms a dielectric layer 18, it is Pb perovskite compound (for example,  $\text{PbO-Fe}_2\text{O}_3\text{-Nb}_2\text{O}_5\text{-WO}_3\text{-ZnO}$ ) and  $\text{BaTiO}_3$ . A system compound and  $\text{SrTiO}_3$  A system compound and  $\text{CaTiO}_3$  The paste of low-temperature baking ceramic dielectric ingredients, such as a system compound, is used.

[0013] the case where this ceramic [ with a built-in capacitor ] multilayer substrate is manufactured -- the green sheet (non-calcinated low-temperature baking ceramic layer 11) of each class -- beer -- Conductors 13, 14, and 14a, the inner layer conductor pattern 15, and an electrode -- after printing a conductor 17 and dielectric layer 18 grade -- the green sheet of each class -- a laminating -- carrying out -- the layered product for substrates -- making -- this -- for example, 80-150 degrees C and 50 - 250 kgf/cm<sup>2</sup> On conditions, heating sticking by pressure is carried out and it unifies. Furthermore, as shown in drawing 1 (a), the laminating of the non-calcinated dummy green sheet 19 is carried out to both sides of this layered product for substrates, and heating sticking by pressure is carried out by the same approach as \*\*\*\*. Under the present circumstances, at the substrate sintering temperature mentioned later, elevated-temperature baking ceramic green sheets, such as an alumina green sheet which is not sintered, are used for the dummy green sheet 19.

[0014] It is the layered product produced as mentioned above 2 - 20 kgf/cm<sup>2</sup> It calcinates at 800-1000 degrees C (preferably 900 degrees C) which is substrate sintering temperature, pressurizing by the pressure within the limits, and coincidence baking of the ceramic multilayer substrate having the built-in capacitor 16 is carried out. Under the present circumstances, since it does not sinter unless it heats the dummy green sheets 19 (alumina green sheet etc.) by which the laminating was carried out to substrate both sides to 1550-1600 degrees C, if it calcinates at 800-1000 degrees C, the dummy green sheet 19 will be left behind with un-sintering. However, in process of baking, the solvent and



binder in the dummy green sheet 19 disperse, and it remains as alumina fine particles.

[0015] the substrate front face after polish etc. removes the dummy green sheet 19 (alumina fine particles) which adhered to substrate both sides after baking -- the conductive paste for surfaces, such as Au, Ag, Ag/Pd, Ag/Pt, and Cu, -- using -- a surface -- a conductor 20 is screen-stenciled and this is calcinated below 1000 degrees C. Thereby, manufacture of the ceramic multilayer substrate having the built-in capacitor 16 is completed.

[0016] Thus, if pressurization baking of the ceramic [ with a built-in capacitor ] multilayer substrate is carried out, the curvature of a substrate, a crack, and distortion can be prevented, and whenever [ of the insulator layer and dielectric layer after baking / precise ] can be raised, and a reliable ceramic [ with a built-in capacitor ] multilayer substrate can be manufactured.

[0017]

[Example] this invention persons -- the electrode of the built-in capacitor 16 -- the beer joined to a conductor 17 or this -- since the trial which evaluates the effect the presentation of a conductor 13 affects the insulating property of the built-in capacitor 16 and the existence of a crack was performed, the test result is shown in the next table 1.

[0018]

[Table 1]

	No.	誘電体層	電極導体	ビア導体	内蔵コンデンサの絶縁性	クラックの有無	総合評価
実施例	1	Pbペロブスカイト化合物	Ag/Pd合金 重量比 9/1	Ag/Pd合金 重量比 8/2	$10^8 \Omega \text{cm}$ 以上	無	○
	2	Pbペロブスカイト化合物	Au粉100%	Ag/Pd合金 重量比 7/3	$10^9 \Omega \text{cm}$ 以上	無	○
	3	BaTiO <sub>3</sub> 系化合物	Ag/Pd合金 重量比 9/1	Ag/Pd合金 重量比 9.5/0.5	$10^9 \Omega \text{cm}$ 以上	無	○
比較例	1	Pbペロブスカイト化合物	Ag/Pd合金 重量比 9/1	Ag粉100%	$10^5 \Omega \text{cm}$ 以下	無	×
	2	Pbペロブスカイト化合物	Ag/Pd合金 重量比 8/2	Ag粉とPd粉との混合物 重量比 8/2	$10^3 \Omega \text{cm}$ 以下	有	×

[0019] In examples 1 and 2 and the examples 1 and 2 of a comparison, Pb perovskite compound is all used for a dielectric layer, and it is BaTiO<sub>3</sub> at an example 3. The system compound was used. an electrode -- as for examples 1 and 3 and the example 1 of a comparison, in examples 1 and 3 and the examples 1 and 2 of a comparison, the Ag/Pd ratio of a conductor is all 9/1 using an Ag/Pd alloy, and the Ag/Pd ratio of the example 2 of a comparison is 8/2. the electrode of an example 2 -- a conductor is 100% of Au powder.

[0020] beer -- in the examples 1, 2, and 3, Ag/Pd ratios of a conductor are all 8/2, 7/3, and 9.5/0.5 using an Ag/Pd alloy, respectively. the beer of the example 1 of a comparison -- a conductor -- 100% of Ag powder -- it is -- the beer of the example 2 of a comparison -- a conductor is the mixture of Ag powder and Pd powder, and an Ag/Pd ratio is 8/2. an electrode -- a conductor and beer -- the paste which forms a conductor -- each -- a conductor -- it produced with the compounding ratio of the component 100 weight section, the ethyl cellulose (binder resin) 3 weight section, and the TEREPINE all (solvent) 22 weight section.

[0021] The acceptance standard in this evaluation trial is that there are not their being more than 107ohm and cm and a crack around a beer hall about the insulation of a built-in capacitor. Although the acceptance standard was altogether met about examples 1, 2, and 3, insulation was all insufficient for the examples 1 and 2 of a comparison, and they also generated the crack in the example 2 of a comparison further.

[0022] the examples 1, 2, and 3 with which the acceptance standard was filled -- each -- an electrode -- the conductor is formed by the Ag/Pd alloy or Au. the electrode from this test result -- as for a conductor, it is desirable to be referred to as an Ag/Pd alloy or Au.

[0023] moreover, the examples 1, 2, and 3 -- each -- beer -- a conductor is formed with an Ag/Pd alloy and Ag/Pd ratios are 9.5 / 0.5 - 7/3. the beer from this test result -- as for a conductor, it is desirable that Pd content considers as 5% or more of Ag/Pd alloy. thus, beer -- alloying with Pd Ag used for a conductor -- the

time of baking -- beer -- a conductor -- inner Ag component -- an electrode -- the phenomenon diffused in a dielectric layer through a conductor is controlled, and degradation of the insulating property of a dielectric layer is prevented.

Furthermore, by alloying Pd with Ag, oxidation and expansion of Pd at the time of baking decrease, and generating of a crack is prevented.

[0024] on the other hand, the examples 1 and 2 of a comparison -- beer -- since the conductor is formed with the paste which blended Ag powder -- the time of baking -- beer -- a conductor -- inner Ag component -- an electrode -- it will be spread in a dielectric layer through a conductor, and the insulating property of a dielectric layer will be degraded. furthermore -- the example 2 of a comparison -- beer -- since the conductor is formed with the paste which blended Pd powder, Pd component will oxidize and carry out cubical expansion at the time of baking, and a crack will occur.

[0025]

[Effect of the Invention] According to the ceramic [ with a built-in capacitor ] multilayer substrate of this invention, so that clearly from the above explanation beer -- the inside of a conductor -- at least -- the dielectric layer of a built-in capacitor -- an electrode -- the beer which touches directly through a conductor -- about a conductor Since it was made for Pd content to form with 5% or more of Ag/Pd alloy, the built-in capacitor excellent in the insulating property without a crack can be formed between low-temperature baking ceramic layers, and upgrading and improvement in the yield can be realized (claim 1).

[0026] furthermore -- claim 2 -- an electrode -- since the conductor was formed with Au or an Ag/Pd alloy -- an electrode -- diffusion and the electrode of Ag component from a conductor to a dielectric layer -- a conductor -- oxidation and expansion of inner Pd can be prevented, and insulating degradation and a crack can be prevented more certainly.

[0027] Moreover, in claim 3, since the dielectric layer was formed with Pb perovskite compound, the dielectric constant of a dielectric layer can be raised

and capacity increase of a capacitor, and small and thin-shape-izing can be reconciled.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] drawing of longitudinal section in which showing 1 operation gestalt of this invention, and showing the condition that (a) carried out the laminating of the dummy green sheet to substrate both sides, and (b) -- a dummy green sheet -- removing -- a surface -- it is drawing of longitudinal section showing the condition of having carried out printing formation of the conductor.

[Description of Notations]

11 -- a low-temperature baking ceramic layer (green sheet), 12 -- beer hall, 13 and 14, and 14a-- beer -- a conductor and 15 -- a inner layer conductor pattern, a capacitor with built-in 16 --, and 17 -- electrodes -- a conductor, 18 -- dielectric layer, and 19 -- dummy green sheet.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

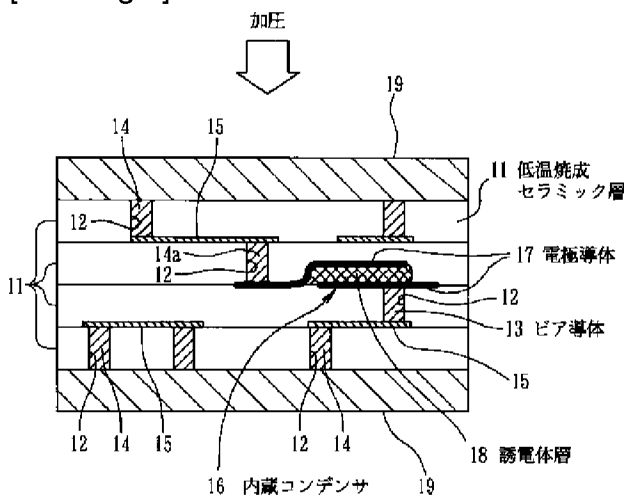
3.In the drawings, any words are not translated.

---

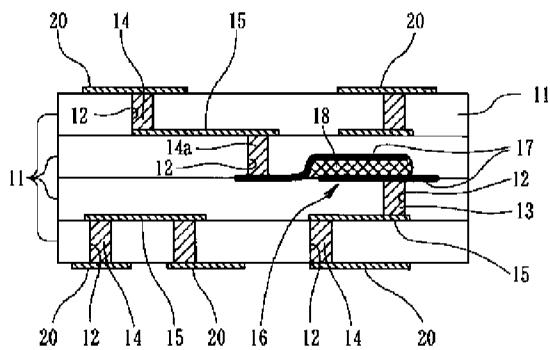
DRAWINGS

---

[Drawing 1]



(a)



(b)

.....  
[Translation done.]

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 5 K 3/46

H 0 5 K 3/46

Q

H

N

C 0 4 B 41/88

C 0 4 B 41/88

N

H 0 5 K 1/03

6 3 0

H 0 5 K 1/03

6 3 0 J

審査請求 未請求 請求項の数3 O L (全 5 頁) 最終頁に続く

(21)出願番号

特願平10-20838

(22)出願日

平成10年(1998) 2月2日

(71)出願人 391039896

株式会社住友金属エレクトロデバイス

山口県美祢市大嶺町東分字岩倉2701番1

(72)発明者 福田 順三

山口県美祢市大嶺町東分字岩倉2701番1

株式会社住友金属エレクトロデバイス内

(72)発明者 柴田 耕次

山口県美祢市大嶺町東分字岩倉2701番1

株式会社住友金属エレクトロデバイス内

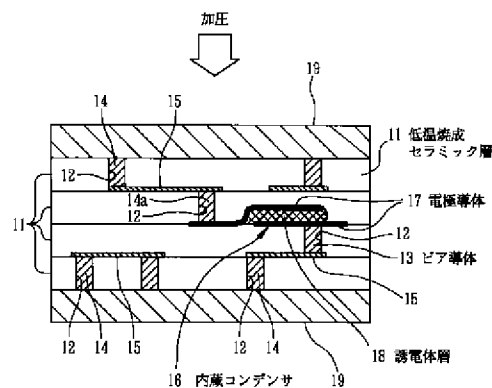
(74)代理人 弁理士 加古 宗男

(54)【発明の名称】 コンデンサ内蔵セラミック多層基板

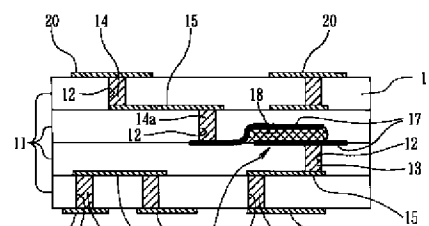
(57)【要約】

【課題】 コンデンサ内蔵セラミック多層基板において、焼成時の内蔵コンデンサの絶縁特性の劣化や誘電体層のクラックの発生を防止できるようにする。

【解決手段】 各層の低温焼成セラミック層11に形成するビア導体13、14、14aの中で、少なくとも内蔵コンデンサ16の電極導体17のうちの誘電体層18と直接接する部分に一部分でも直接接するビア導体13については、Pd含有率が5%以上のAg/Pd合金により形成すると共に、電極導体17をAu又はAg/Pd合金により形成する。また、誘電体層18をPbペロブスカイト化合物により形成する。この場合、ビア導体13に用いるAgをPdと合金化することで、焼成時にビア導体13中のAg成分が電極導体17を通じて誘電体層18に拡散する現象が抑制され、誘電体層18の絶縁特性の劣化が防止されると共に、焼成時のPdの酸化・膨張が少なくなり、誘電体層18のクラックが防止される。



(a)



(b)

## 【特許請求の範囲】

【請求項1】 Ag系のビア導体を形成した複数層の低温焼成セラミック層の間に、誘電体層の両面に電極導体を形成した内蔵コンデンサを挟み込んで、これらビア導体、低温焼成セラミック層、誘電体層及び電極導体を同時焼成してなるコンデンサ内蔵セラミック多層基板において、少なくとも前記内蔵コンデンサの電極導体のうちの前記誘電体層と直接接する部分に一部分でも直接接するビア導体は、Pd含有率が5%以上のAg/Pd合金により形成されていることを特徴とするコンデンサ内蔵セラミック多層基板。

【請求項2】 前記電極導体は、Au又はAg/Pd合金により形成されていることを特徴とする請求項1に記載のコンデンサ内蔵セラミック多層基板。

【請求項3】 前記誘電体層は、Pbペロブスカイト化合物により形成されていることを特徴とする請求項1又は2に記載のコンデンサ内蔵セラミック多層基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、積層された低温焼成セラミック層と、その層間に挟み込まれた内蔵コンデンサとを同時焼成して形成したコンデンサ内蔵セラミック多層基板に関するものである。

## 【0002】

【従来の技術】この種のコンデンサ内蔵セラミック多層基板においては、例えば特開平9-92983号公報に示すように、内蔵コンデンサの電極導体をAu系導体又はAg/Pdで形成し、内層配線導体やビア導体をAg系導体で形成したものがあつた。ここで、Agは高伝導率（低抵抗値）という特長があるが、マイグレーションや焼成反りが発生しやすいという欠点がある。そこで、内層配線導体やビア導体を形成する導体ペーストとして、マイグレーションや焼成反りを抑制するためにPd粉を添加したAg/Pdペーストが用いられることが多い。

## 【0003】

【発明が解決しようとする課題】ところで、上記構成のセラミック多層基板を内蔵コンデンサと共に同時焼成すると、内蔵コンデンサの絶縁特性が劣化したり、誘電体層にクラックが発生することがあり、品質低下や歩留り低下の問題が生じた。この原因は、内蔵コンデンサの電極導体と接合されるビア導体がAg系導体の場合、同時焼成する過程で、ビア導体中のAg成分が内蔵コンデンサの電極導体を通じて誘電体層に拡散し、誘電体層の絶縁特性を劣化させるためと考えられる。また、Ag粉とPd粉とを混合したAg/Pdペーストを用いた場合、同時焼成する過程で、Pd成分が酸化して体積膨張するため、その膨張力で誘電体層にクラックが発生する。

【0004】本発明はこのような事情を考慮してなされたものであり、従つてその目的は、焼成時の内蔵コンデ

ンサの絶縁特性の劣化や誘電体層のクラックの発生を防止でき、品質向上、歩留り向上を実現できるコンデンサ内蔵セラミック多層基板を提供することにある。

## 【0005】

【課題を解決するための手段】上記目的を達成するために、本発明は、積層された低温焼成セラミック層と、その層間に挟み込まれた内蔵コンデンサとを同時焼成して形成したコンデンサ内蔵セラミック多層基板において、少なくとも内蔵コンデンサの電極導体のうちの前記誘電体層と直接接する部分に一部分でも直接接するビア導体については、Pd含有率が5%以上のAg/Pd合金により形成するようにしたものである（請求項1）。このように、誘電体層と電極導体を介して直接接するビア導体に用いるAgをPdと合金化することで、従来のようなAg粉とPd粉との混合物を用いる場合とは異なり、焼成時にビア導体中のAg成分が内蔵コンデンサの電極導体を通じて誘電体層に拡散する現象が抑制され、誘電体層の絶縁特性の劣化が防がれる。更に、PdをAgと合金化することで、焼成時のPdの酸化・膨張が少なくなり、誘電体層のクラックの発生が防止される。

【0006】更に、請求項2のように、内蔵コンデンサの電極導体を、Au又はAg/Pd合金により形成することが好ましい。このようにすれば、電極導体についても、ビア導体と同じく、誘電体層へのAg成分の拡散やPdの酸化・膨張が防止される。

【0007】また、請求項3のように、内蔵コンデンサの誘電体層をPbペロブスカイト化合物により形成しても良い。このPbペロブスカイト化合物は、1000℃以下で低温焼成セラミック層と同時焼成可能であると共に、誘電率が高く、内蔵コンデンサを作るのに適している。

## 【0008】

【発明の実施の形態】以下、本発明の一実施形態を図1(a)、(b)に基づいて説明する。まず、本実施形態におけるセラミック多層基板の構造を説明する。積層された複数層の低温焼成セラミック層11は、複数枚の低温焼成セラミックグリーンシートを積層して800～1000℃で焼成したものである。低温焼成セラミックとしては、CaO-SiO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub>-B<sub>2</sub>O<sub>3</sub>系ガラス50～65重量%（好ましくは60重量%）とアルミナ50～35重量%（好ましくは40重量%）との混合物を用いる。その他、例えば、MgO-SiO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub>-B<sub>2</sub>O<sub>3</sub>系ガラスとアルミナとの混合物、SiO<sub>2</sub>-B<sub>2</sub>O<sub>3</sub>系ガラスとアルミナとの混合物、PbO-SiO<sub>2</sub>-B<sub>2</sub>O<sub>3</sub>系ガラスとアルミナとの混合物、コーゼライト系結晶化ガラス等の800～1000℃で焼成できる低温焼成セラミック材料を用いても良い。

【0009】各層の低温焼成セラミック層11には、層間接続用のビアホール12が形成され、各ビアホール1



2にビア導体13, 14, 14aが充填されている。各ビア導体13, 14, 14aは、Pd含有率が5%以上のAg/Pd合金のペーストをビアホール12に印刷して焼成したものである。

【0010】尚、後述する内蔵コンデンサ16の電極導体17から離れたビア導体14や、電極導体17のうちの誘電体層18と接しない部分に直接接するビア導体14aについては、必ずしも、Pd含有率が5%以上のAg/Pd合金のペーストを用いる必要はなく、Ag粉とPd粉とを混合したペーストを用いても良く、或は、Au、Ag、Ag/Pt、Cu等の低温焼成用の各種導体ペーストの中からいずれかを選択しても良い。要は、少なくとも電極導体17のうちの誘電体層18と直接接する部分に直接接するビア導体13（一部分が接しているものも含む）について、Pd含有率が5%以上のAg/Pd合金のペーストを用いれば良い。

【0011】また、最上層を除く各層の低温焼成セラミック層11には、内層導体パターン15が印刷・焼成されている。内層導体パターン15についても、Ag/Pd合金のペーストを用いても良いが、Ag粉とPd粉とを混合したペーストを用いても良く、或は、Au、Ag、Ag/Pt、Cu等の低温焼成用の各種導体ペーストの中からいずれかを選択しても良い。

【0012】更に、所定の低温焼成セラミック層11の層間には、内蔵コンデンサ16が次のようにして形成されている。内蔵コンデンサ16の直下の低温焼成セラミック層11（グリーンシート）の上面に、電極用導体ペーストを用いて内蔵コンデンサ16下面の電極導体17をスクリーン印刷し、その上面に誘電体ペーストを用いて誘電体層18をスクリーン印刷し、更に、その上面に電極用導体ペーストを用いて内蔵コンデンサ16上面の電極導体17をスクリーン印刷する。ここで、電極導体17を形成する電極用導体ペーストとしては、Au又はAg/Pd合金のペーストを用いる。また、誘電体層18を形成する誘電体ペーストとしては、Pbペロブスカイト化合物（例えば $\text{PbO}-\text{Fe}_2\text{O}_3-\text{Nb}_2\text{O}_5-\text{WO}_3-\text{ZnO}$ ）、 $\text{BaTiO}_3$ 系化合物、 $\text{SrTiO}_3$ 系化合物、 $\text{CaTiO}_3$ 系化合物等の低温焼成セラミック誘電体材料のペーストを用いる。

【0013】このコンデンサ内蔵セラミック多層基板を製造する場合には、各層のグリーンシート（未焼成の低温焼成セラミック層11）に、ビア導体13, 14, 1

4a、内層導体パターン15、電極導体17、誘電体層18等を印刷した後に、各層のグリーンシートを積層して基板用積層体を作り、これを例えば80~150℃、50~250kgf/cm<sup>2</sup>の条件で加熱圧着して一体化する。更に、図1(a)に示すように、この基板用積層体の両面に未焼成のダミーグリーンシート19を積層し、上述と同様の方法で加熱圧着する。この際、ダミーグリーンシート19は、後述する基板焼結温度では焼結しないアルミナグリーンシート等の高温焼成セラミックグリーンシートを用いる。

【0014】以上のようにして作製された積層体を、2~20kgf/cm<sup>2</sup>の範囲内の圧力で加圧しながら基板焼結温度である800~1000℃（好ましくは900℃）で焼成し、内蔵コンデンサ16を内蔵したセラミック多層基板を同時焼成する。この際、基板両面に積層されたダミーグリーンシート19（アルミナグリーンシート等）は1550~1600℃まで加熱しないと焼結しないので、800~1000℃で焼成すれば、ダミーグリーンシート19は未焼結のまま残される。但し、焼成の過程で、ダミーグリーンシート19中の溶剤やバインダーが飛散してアルミナ粉体として残る。

【0015】焼成後、基板両面に付着したダミーグリーンシート19（アルミナ粉体）を研磨等により除去した後、基板表面に、Au、Ag、Ag/Pd、Ag/Pt、Cu等の表層用導体ペーストを用いて表層導体20をスクリーン印刷し、これを1000℃以下で焼成する。これにより、内蔵コンデンサ16を内蔵したセラミック多層基板の製造が完了する。

【0016】このようにして、コンデンサ内蔵セラミック多層基板を加圧焼成すれば、基板の反りやクラック、ゆがみを防ぎ、且つ焼成後の絶縁体層と誘電体層の緻密度を向上させることができ、信頼性の高いコンデンサ内蔵セラミック多層基板を製造できる。

【0017】

【実施例】本発明者らは、内蔵コンデンサ16の電極導体17やこれに接合されるビア導体13の組成が内蔵コンデンサ16の絶縁特性やクラックの有無に及ぼす影響を評価する試験を行ったので、その試験結果を次の表1に示す。

【0018】

【表1】

	No.	誘電体層	電極導体	ビア導体	内蔵コンデンサの絶縁性	クラックの有無	総合評価
実施例	1	Pbペロブスカイト化合物	Ag/Pd合金 重量比 9/1	Ag/Pd合金 重量比 8/2	$10^8 \Omega \text{cm}$ 以上	無	○
	2	Pbペロブスカイト化合物	Au粉100%	Ag/Pd合金 重量比 7/3	$10^9 \Omega \text{cm}$ 以上	無	○
	3	BaTiO <sub>3</sub> 系化合物	Ag/Pd合金 重量比 9/1	Ag/Pd合金 重量比 9.5/0.5	$10^9 \Omega \text{cm}$ 以上	無	○
比較例	1	Pbペロブスカイト化合物	Ag/Pd合金 重量比 9/1	Ag粉100%	$10^5 \Omega \text{cm}$ 以下	無	×
	2	Pbペロブスカイト化合物	Ag/Pd合金 重量比 8/2	Ag粉とPd粉との混合物 重量比 8/2	$10^3 \Omega \text{cm}$ 以下	有	×

【0019】誘電体層は、実施例1、2と比較例1、2では、いずれもPbペロブスカイト化合物を用い、実施例3では、BaTiO<sub>3</sub>系化合物を用いた。電極導体は、実施例1、3と比較例1、2では、いずれもAg/Pd合金を用い、実施例1、3と比較例1は、いずれもAg/Pd比が9/1であり、比較例2は、Ag/Pd比が8/2である。実施例2の電極導体は、Au粉100%である。

【0020】ビア導体は、実施例1、2、3では、いずれもAg/Pd合金を用い、Ag/Pd比がそれぞれ8/2、7/3、9.5/0.5である。比較例1のビア導体は、Ag粉100%であり、比較例2のビア導体は、Ag粉とPd粉との混合物であり、Ag/Pd比が8/2である。電極導体とビア導体を形成するペーストは、いずれも、導体成分100重量部、エチルセルロース（バインダ樹脂）3重量部、テレピネオール（溶剤）22重量部の配合比で作製した。

【0021】この評価試験における合格基準は、内蔵コンデンサの絶縁性については $10^7 \Omega \cdot \text{cm}$ 以上であること、また、ビアホール周辺のクラックが無いことである。実施例1、2、3については全て合格基準を満たしたが、比較例1、2はいずれも絶縁性が不足し、更に、比較例2ではクラックも発生した。

【0022】合格基準を満たした実施例1、2、3は、いずれも、電極導体をAg/Pd合金又はAuで形成している。この試験結果から、電極導体は、Ag/Pd合金又はAuとすることが好ましい。

【0023】また、実施例1、2、3は、いずれも、ビア導体をAg/Pd合金で形成し、Ag/Pd比が9.5/0.5～7/3である。この試験結果から、ビア導体は、Pd含有率が5%以上のAg/Pd合金とすることが好ましい。このように、ビア導体に用いるAgをPdと合金化することで、焼成時にビア導体中のAg成分が電極導体を通じて誘電体層に拡散する現象が抑制され、誘電体層の絶縁特性の劣化が防がれる。更に、PdをAgと合金化することで、焼成時のPdの酸化・膨張

が少なくなり、クラックの発生が防止される。

【0024】これに対し、比較例1、2は、ビア導体をAg粉を配合したペーストで形成しているため、焼成時にビア導体中のAg成分が電極導体を通じて誘電体層に拡散し、誘電体層の絶縁特性を劣化させてしまう。更に、比較例2では、ビア導体をPd粉を配合したペーストで形成しているため、焼成時にPd成分が酸化して体積膨張し、クラックが発生してしまう。

【0025】

【発明の効果】以上の説明から明らかなように、本発明のコンデンサ内蔵セラミック多層基板によれば、ビア導体のうち、少なくとも内蔵コンデンサの誘電体層に電極導体を介して直接接するビア導体については、Pd含有率が5%以上のAg/Pd合金により形成するようにしたので、低温焼成セラミック層の間に、クラックのない絶縁特性に優れた内蔵コンデンサを形成することができ、品質向上、歩留り向上を実現できる（請求項1）。

【0026】更に、請求項2では、電極導体をAu又はAg/Pd合金により形成したので、電極導体から誘電体層へのAg成分の拡散や電極導体内のPdの酸化・膨張を防止でき、絶縁性劣化やクラックをより確実に防止できる。

【0027】また、請求項3では、誘電体層をPbペロブスカイト化合物により形成したので、誘電体層の誘電率を高めることができ、コンデンサの容量増大と小型・薄型化とを両立させることができる。

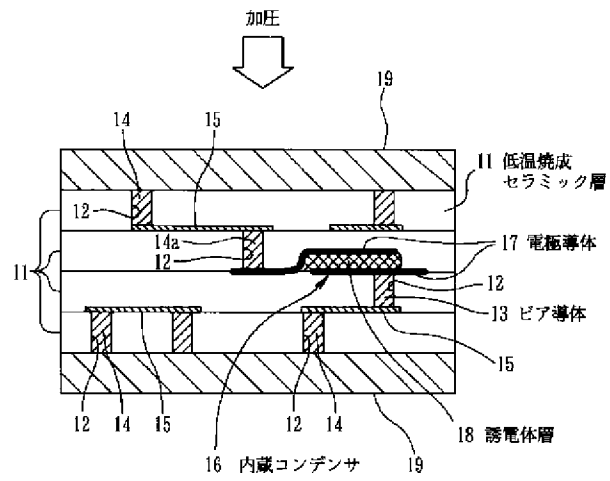
【図面の簡単な説明】

【図1】本発明の一実施形態を示すもので、(a)は基板両面にダミーグリーンシートを積層した状態を示す縦断面図、(b)はダミーグリーンシートを除去して表層導体を印刷形成した状態を示す縦断面図である。

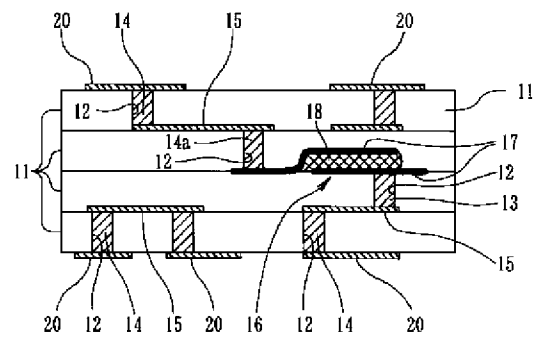
【符号の説明】

11…低温焼成セラミック層（グリーンシート）、12…ビアホール、13、14、14a…ビア導体、15…内層導体パターン、16…内蔵コンデンサ、17…電極導体、18…誘電体層、19…ダミーグリーンシート。

【図1】



(a)



(b)

フロントページの続き

(51)Int.Cl.<sup>6</sup>

H05K 1/16

識別記号

F I

H05K 1/16

D